



Integr8tor v2018.09

출시노트  
Ucamco NV - 벨기에



# Integr8tor

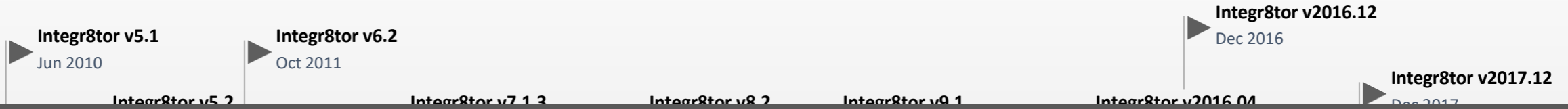
v2018.09

데이터 분석이 쉬워졌습니다.



# Integr8tor v2018.09

고객 기반 정보를 정기 업데이트를 통해 제공



## Plus Edition Timeline

This timeline was created with Office Timeline Plus Edition and is not editable in the Free Edition. To edit this timeline, upgrade to Office Timeline Plus.

9.1	14년 12월	Gerber X2 데이터세트 지원	최적화되고 새로운 QED 값.
2015.05	15년 06월	새로운 표준 매개 변수.	레이저 / 기계식 드릴링 결정.
2016.04	16년 04월	SMD / BGA 패드는 동박 및 솔더 마스크 정의를 구분합니다.	DFM Checks (예전 기능 대비) 개선
2016.12	16년 12월	Integr8tor 작업 관점 도입	드릴 홀 공차
2017.05	17년 05월	PCB 표면 처리 지원	동일한 크기의 작업 감지
2017.12	17년 12월	다양한 QED 결과에 대한 체크 포인트 검토 확장	비아 홀의 상/하 솔더 마스크 오픈부위가 다른 곳이 있는지 분석
2018.09	18년 09월	새로운 QED 기능 : 회로 최소 폭 수치 추적	사용자 선택 레이어 등록

# Integr8tor v2018.09

## 새로운 기능 - 개요



**NEW**



### □ 새로운 기능

- 최소 회로 두께
- 최소 회로 두께 한계 점 추적
- 최소 회로 간격

QED PDF, QED XML 및 체크포인트 검토에서 사용 가능

### □ 새 작업 옵션을 제출 : 원본 유지

### □ PDF 보고서 이미지에 제로 크기의 아파추어 표시

### □ 새로운 Integr8tor 설치를 위한 UTF-8 지원

# Integr8tor v2018.09

## 향상된 기능 - 개요



**ENHANCED**

- 동일 넷의 최소 간격 검토 향상
- 향상된 에지 컨넥터 정보
- BGA 인식 향상
- QED PDF 라우팅 홀 섹션 확장
- QED.XML 에 라우팅 정보 추가
- Ustack에서 QED 스택 이미지에 기본 재료 두께 추가
- 현재 DFM 클래스 및 DFM 검토에서 최소 동박폭 사용 가능
- 드릴 포맷 형식 인식 향상
- 적층구조 인식 향상

# Integr8tor v2018.09

## 향상된 기능 - 개요



**ENHANCED**

### □ Gerber X2 데이터 구조 활용 향상:



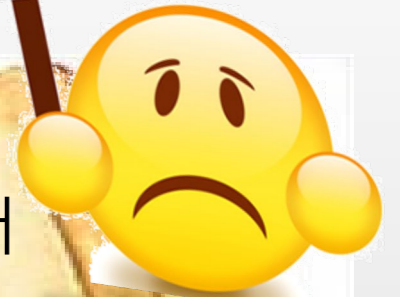
- 허용되는 경우 레이어 정렬을 자동으로 해제합니다.
- 파일 별 분석 결정 프로세스에서 .FileFunction " Profile" 정보 사용

### □ 다양한 산업화:

- 더욱 직관적이고 논리적인 QED PDF 보고서 구조
- 로컬 체크포인트 클라이언트의 원활한 설치
- 작업 흐름 제어에 대한 다양한 형식 추가
- 작업 시작시 넷트 컴페어 단계 추가
- 사용자 지정 스크립트에서 흐름 제어를 개선하기 위한 'realTray' 변수 생성

# Integr8tor v2018.09

## 코드 수정



저희의 엄격한 품질 관리 망 에서 빠져나갔을 수도 있는 소프트웨어 오작동이나 불일치를 보고해 주신 고객 여러분께 감사드립니다...

규정에 따라 이 v2018.09 업데이트에는 표기를 지정하려는 문제에 대해 일련의 수정 사항이 포함되었습니다. 자세한 내용은 이 출시 정보의 마지막 섹션에 나와 있습니다.

좋은 제품을 만들 수 있게 도와주셔서 감사합니다.



# Integr8tor

v2018.09

새로운 기능





# Integr8tor v2018.09

새로운 기능 - 최소 (한계) 회로 두께

**NEW** ✨

새로운 QED 기능 **최소 회로 두께**

**최소 한계 회로 두께**



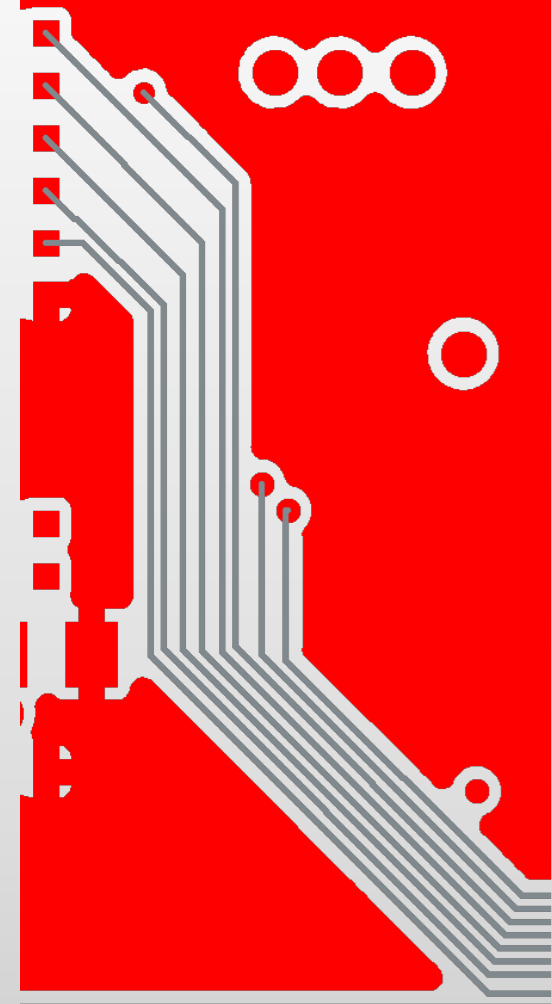
- 눈 깜짝 할 사이에 가장 얇은 회로 폭에 대해 알아보십시오
  - ❖ 추적된 회폭은 매우 중요한 인용 매개 변수입니다
  - ❖ 추적된 회로 폭 문제는 일반적으로 동박 폭 문제보다 CAM에서 수정하기가 훨씬 어렵습니다.
  - ❖ 추적 회로 폭을 갯수를 늘리면 최종 작업자가 받아들이지 않는 경향이 있으며 집중적인 문서화 및 주기적인 유효성 검사가 필요합니다.
  - ❖ 도금, 에칭 및 품질 관리 부서는 보드상의 최소 회로 폭 위치를 확인하여 공정 작업 진행중 확인 할수 있습니다.
- ❖ 정확한 최소 회로 폭에 대해 아는 것이 가장 중요합니다...

Min. Trace Width	Min. Critical Trace Width
mm	mm
<b>3</b> 0.100	<b>4</b> 0.100
<b>13</b> 0.100	<b>14</b> 0.100

# Integr8tor v2018.09

## 새로운 기능 - 최소 (한계) 회로 두께

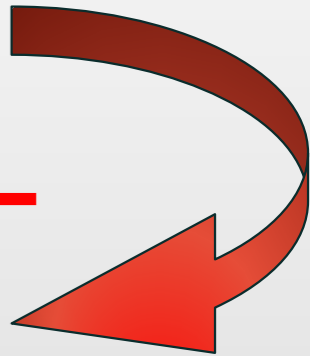
**NEW** 



- 이전의 Integr8tor 버전은 최소 동박의 넓이와 회로의 폭만을 보고 하였습니다.
- 회로의 폭은 전기적으로 영향이 있는 동박의 폭이었고, 개체의 구성과 관계없이 계산되었습니다 (컨터, 그라운드, 양화/음화...)

---

- Integrator v2018.09에서는 새로운 회로 폭의 개념을 도입했습니다.
- 회로의 폭은 포지티브 아파추어에서 단독으로 구성된 값을 사용하여 만들어진 라인의 폭입니다. (컨터 없음, 그라운드 없음, 양각 음각의 개념 없음)
- 회로의 폭이 전기적으로 중요한 경우, 그것은 최소 한계 회로 값으로 보고됩니다. - 그렇지 않은 경우는 최소 회로 두께로 보고됩니다.
- 최소 동박의 두께는 계속 존재 합니다.
- 한계 회로 폭의 보고를 위해 최소 회로 두께는 단지 최소값으로 변경되었습니다.



# Integr8tor v2018.09

새로운 기능 - 최소 (한계) 회로 폭 - QED PDF

**NEW**



v2018.09 이전:

Min. Line Width	Min. Copper Width
mm	mm
<b>1</b> 0.05	<b>2</b> 0.058
0.10	0.028

v2018.09:

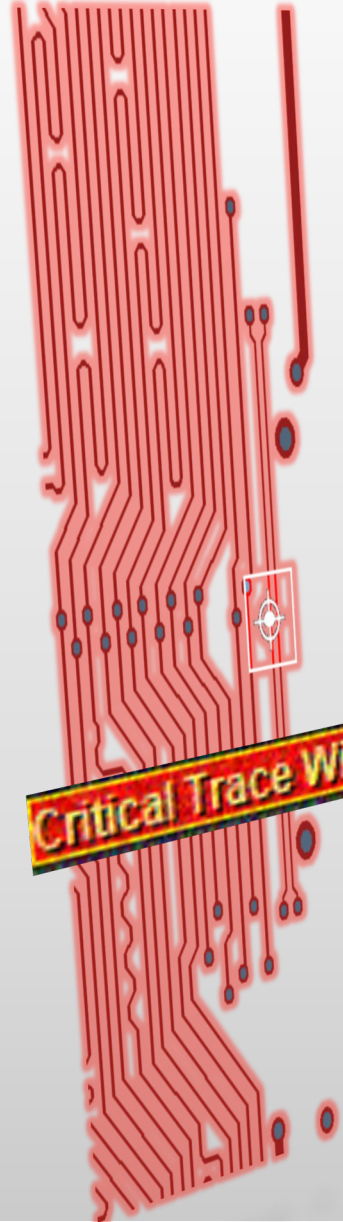
새로운 표현

Min. Trace Width	Min. Critical Trace Width	Min. Copper Width	Min. Critical Copper Width
mm	mm	mm	mm
<b>3</b> 0.150	<b>4</b> 0.150	<b>1</b> 0.058	<b>2</b> 0.105



전기적으로 중요한

이미지, 중요 여부



# Integr8tor v2018.09

새로운 기능 - 최소 (한계) 회로 폭 - QED XML

**NEW** ✨

```
<CopperCharacteristics id="original">  
  <CopperLayer layerOrGroupRef="jdp7588_0_1">  
    <MinTrack threshold="0.4">0.105</MinTrack>  
    <MinTrackAllCopper threshold="0.4">0.058</MinTrackAllCopper>  
    <MinTrackCriticalTrace threshold="0.4">0.150</MinTrackCriticalTrace>  
    <MinTrackAllTrace threshold="0.4">0.150</MinTrackAllTrace>
```

## QED XML 파일내부

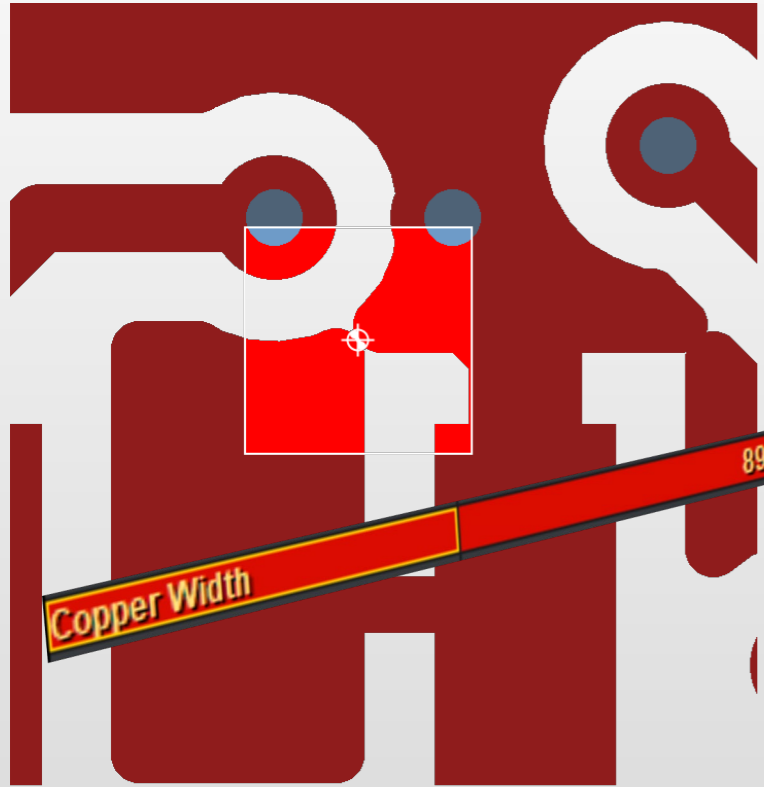
- MinTrackAllCopper = Min. copper width
- MinTrack = Min. critical copper width
- **MinTrackAllTrace** = Min. trace width
- **MinTrackCriticalTrace** = Min. critical trace width



# Integr8tor v2018.09

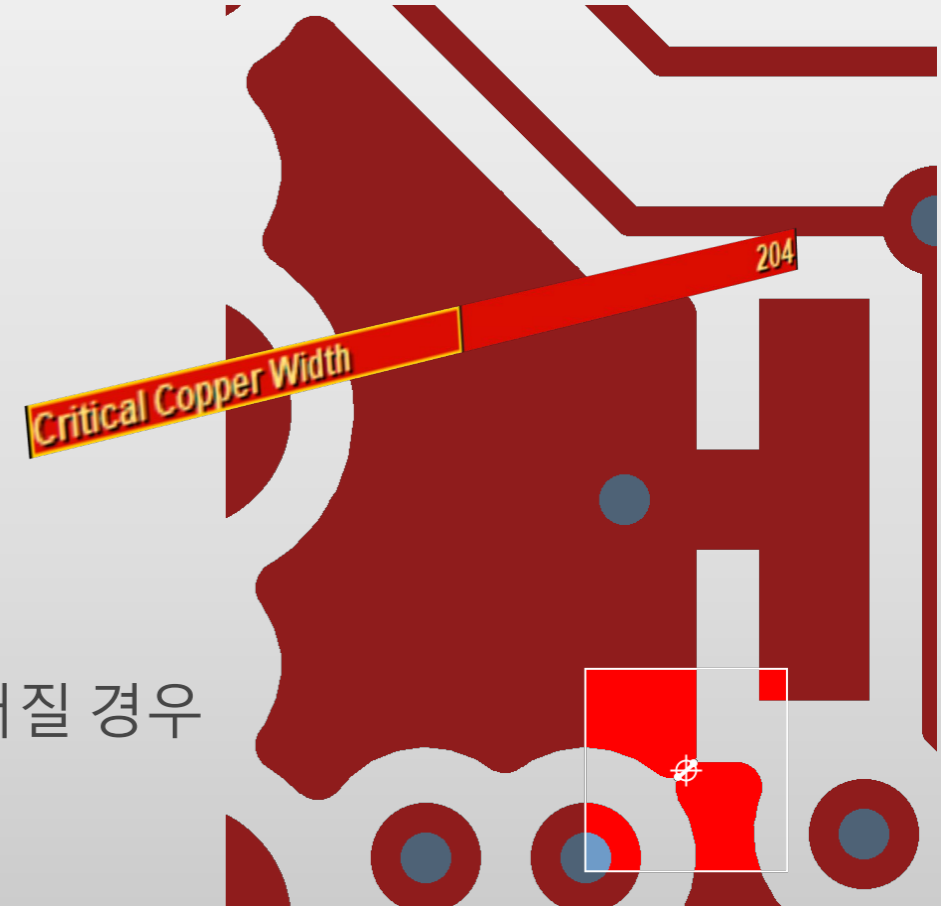
새로운 기능 - 최소 (한계) 동박 폭 - 체크포인트 검토

**NEW** 



## 최소. 동박 폭

- 전기적으로 중요하지 않음 - 연결이 끊어질 경우에도, 넷트와 전기적 기능은 그대로 유지됩니다.
- 구성 = 컨터 / 그라운드



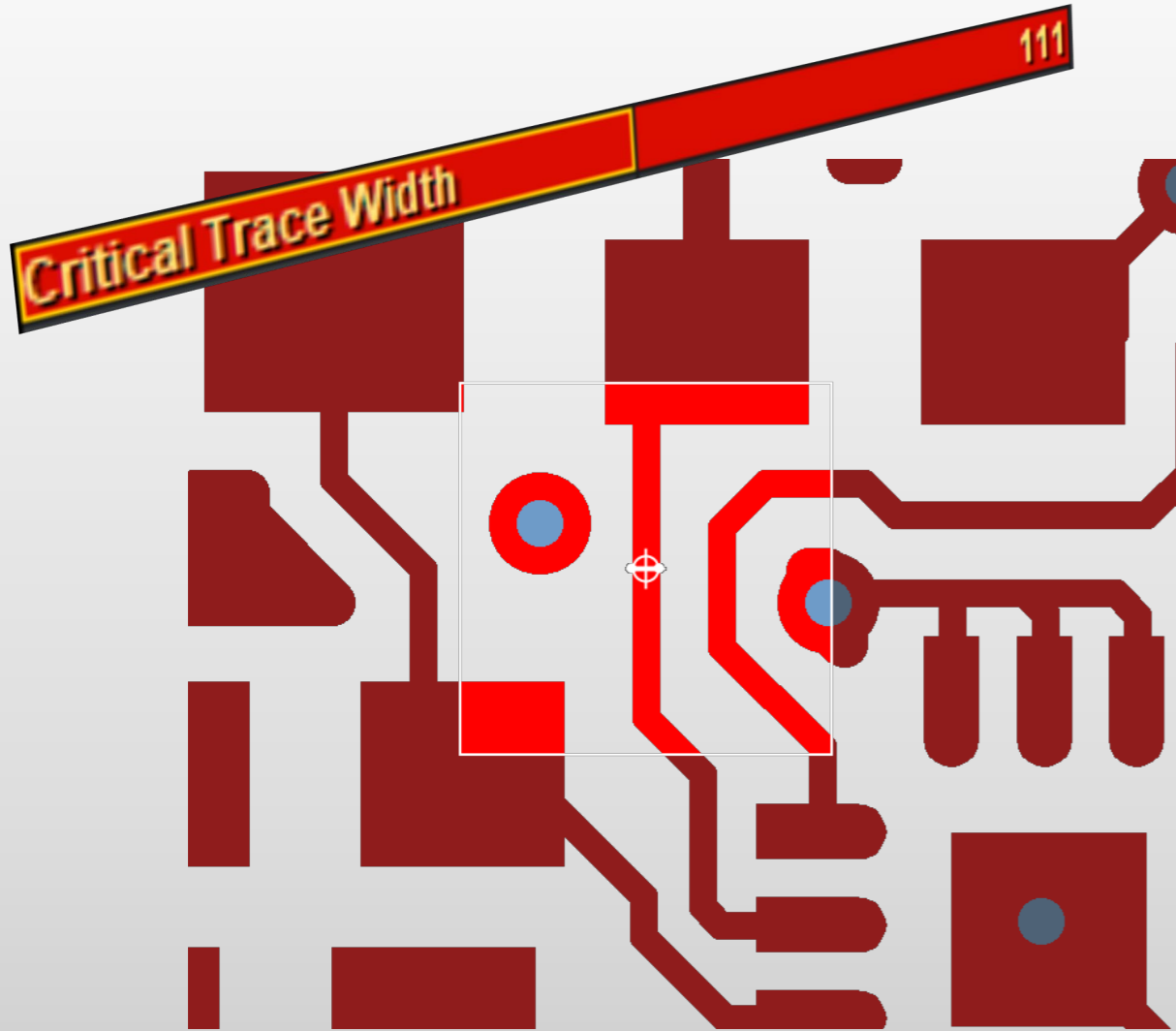
## 최소. 한계 동박 폭

- 전기적으로 중요함 - 연결이 끊어질 경우 넷트와 전기적 기능이 변경됨
- 구성 = 컨터/그라운드

# Integr8tor v2018.09

새로운 기능 - 최소 한계 회로 폭 - 체크 포인트 검토

**NEW**



## 최소 한계 회로 폭

- 전기적으로 중요함 - 연결이 끊어질 경우 넷트와 전기적 기능이 변경됨
- 구성 = 독립된 서클 아파추어로 그려진 라인

## 그리고 기억하세요

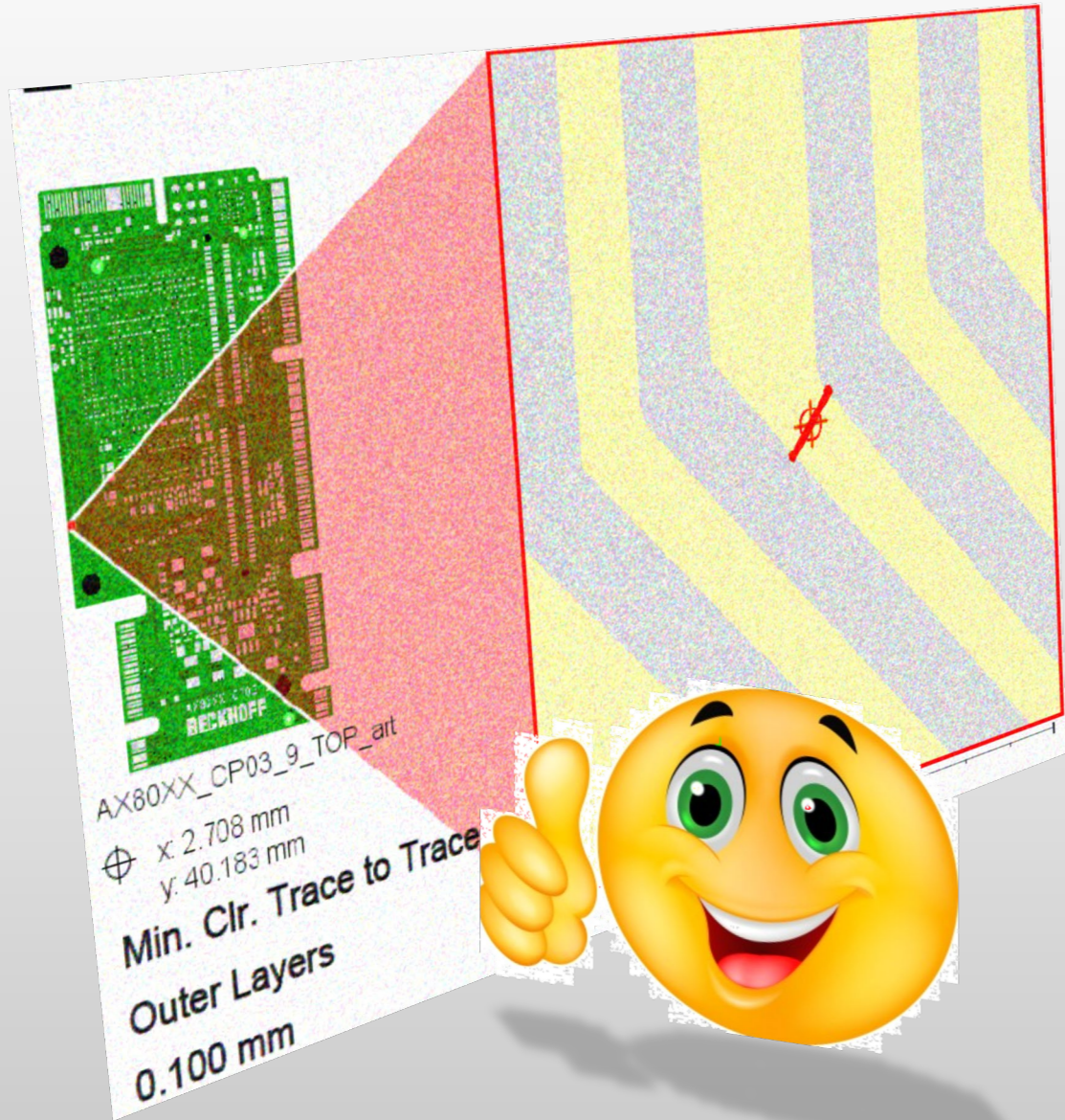
- 모든 회로 폭은 모든 동박의 폭...
- 그러나 모든 동박의 폭은 모든 회로폭이 아닙니다.



# Integr8tor v2018.09

새로운 기능 - 회로와 회로의 최소 간격

**NEW** 



## 새로운 QED 기능 - 회로와 회로의 최소 간격

➤ 가장 가까운 두개의 회로와 회로 사이의 간격

- ❖ 최소 회로 간격은 제품의 제조 가능성을 평가하기 위한 중요한 정보 임으로 견적 작성에 있어서 정확한 분석이 필요합니다.
- ❖ 에칭 및 도금 그리고 QC 부서에서는 제품 간격의 정확한 분석과 위치 정보를 얻음으로 제조에 큰 도움이 됩니다.
- ❖ 회로와 회로 사이의 최소 간격이 얼마인지 어디인지에 대한 정보는 제조 및 견적에 있어서 필수적인 요소입니다.

# Integr8tor v2018.09

## 새로운 기능 - 회로와 회로의 최소 간격

**NEW** 

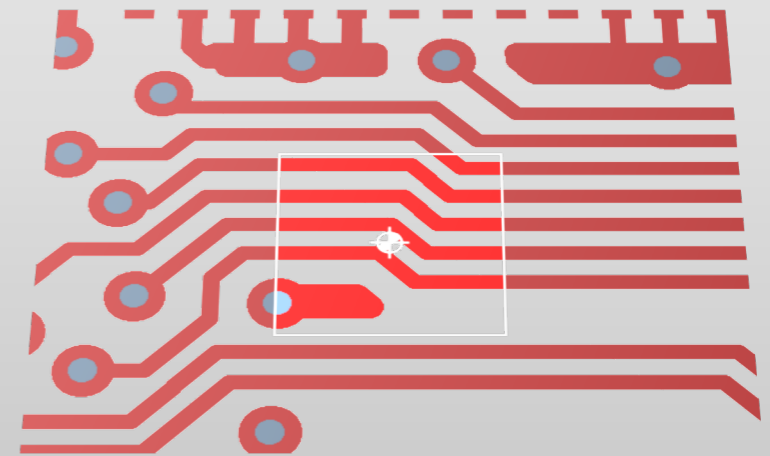
Copper Layer Minima & Area - Original							
File	Pos.	Min. Copper Width	Min. Critical Copper Width	Min. Trace Width	Min. Critical Trace Width	Min. Clr. Copper to Copper	Min. Clr. Trace to Trace
		mm	mm	mm	mm	mm	mm
jdp7588_0_1	1	0.058	0.105	0.150	0.150	0.148	0.152
jdp7588_0_2	2	0.132	0.222			0.729	>0.500

Check	Count
Linewidth	204
Ring	681
Clr. to Copper	768
Clr. to Copper Track-Track	768
Clr. to Copper Pad-Track	768
Clr. to Copper Pad-Pad	593
Clr. to PTH	518
Clr. to NPTH	49
Clr. to Outline	65
Clr. Same Net	19
Copper Width	893
Critical Copper Width	204
Trace Width	764
Critical Trace Width	111
<b>Clr. Trace to Trace</b>	<b>768</b>
Hole in SMD	0
Hole in BGA	9
Clr Drill	0
Drillspan Clearance	512
Clr. Drill to Outline	108

- QED PDF에서 사용할 수 있으며 동박 층별 및 통합 요약 섹션 모두에서 사용할 수 있습니다.
- 체크 포인트 별도 기능으로 모든 간격 검토 가능
- QED XML 로 제공 됩니다.

```
<MinGapTraceTrace threshold="0.5">0.152</MinGapTraceTrace>
```



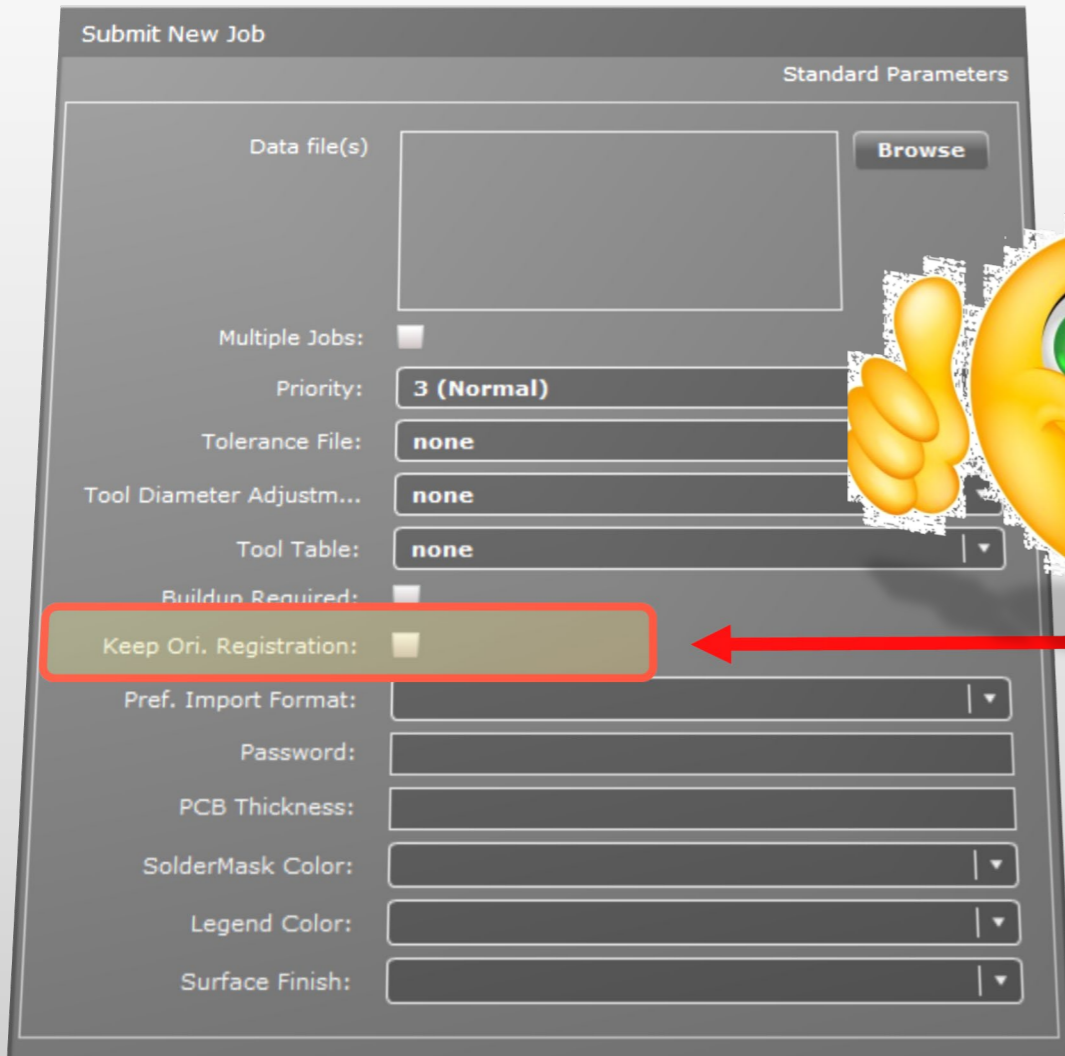


# Integr8tor v2018.09

새로운 기능 - 작업 제출 옵션 "원본 유지"

**NEW**

작업 제출 중 레이어 등록을 켜기/끄기로 전환하는 런타임 옵션

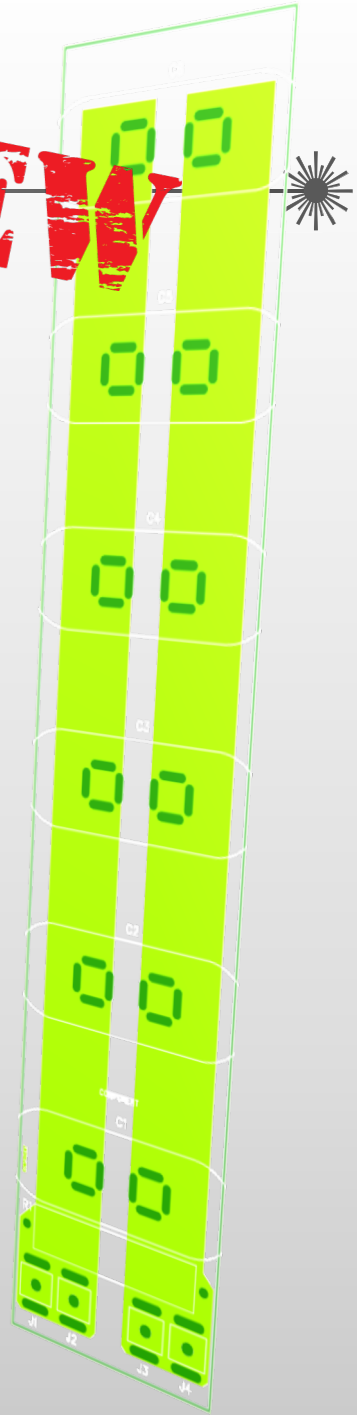


➤ 레이어가 이미 등록되어 있는 경우 레이어 등록을 해제하여 데이터 입력 속도를 높입니다.

➤ 등록 프로세스가 이미 등록된 작업을 변경할 때 손쉽게 해결할 수 있습니다. 이것은 대칭 제품 또는 불확실한 제품 정보로 구성된 경우 발생할 수 있습니다.

➤ 다음 속성을 사용하여 Gerber X2 파일에서 자동으로 스왑되었습니다:

`%TF.SameCoordinates*%`



# Integr8tor v2018.09

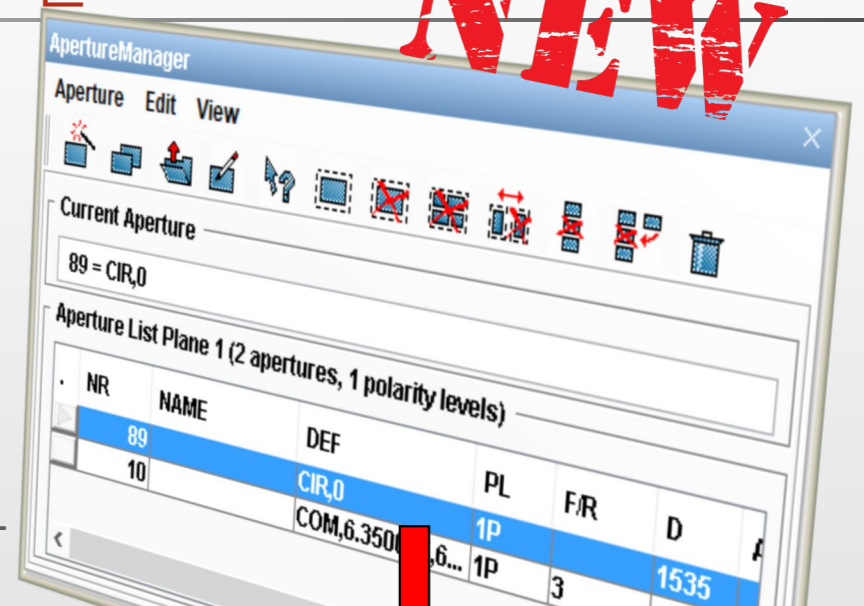
새로운 기능 - PDF 레포트에 제로 사이즈 아파추어 표현

**NEW**

## ➤ PDF 레포트에 제로 사이즈 아파추어 표현



- ❖ 외곽선이나 전달 내용 등과 같이 실제 PCB의 일부가 아닌 항목은 때때로 "보이지 않는 아파추어" (크기 0의 값)로 그려집니다.
- ❖ 드릴 드로잉과 같은 전체 레이어에도 그런 식으로 숨겨진 것이 있을수 있습니다 .....
- ❖ 이것은 드릴 홀에 대한 공차 값과 같이 중요한 제조 정보를 놓칠 수 있습니다 ...
- ❖ V2018.09는 이 정보를 볼 수 있게하고 PDF 도면에 완전히 자동으로 표현 합니다.
- ❖ Gerber 레이어에 보이지 않는 제로 크기의 원형 모양이 그려져 있어도 단일 명령이나 중요한 세부 사항을 다시 놓치지 마십시오.



	Drill Size. (MM.)	No. of Holes
AAA		
G	A 0,200	138
A	B 0,750	9
A	C 0,850	5
A	D 1,016	50
AAA	E 2,300	2
AAA	F 2,950	2
G	G 3,500	6
A	H 4,200	4
CCCCC		

# Integr8tor v2018.09

새로운 기능 - 새로운 Integrator 설치에 대한 UTF-8 지원

**NEW**

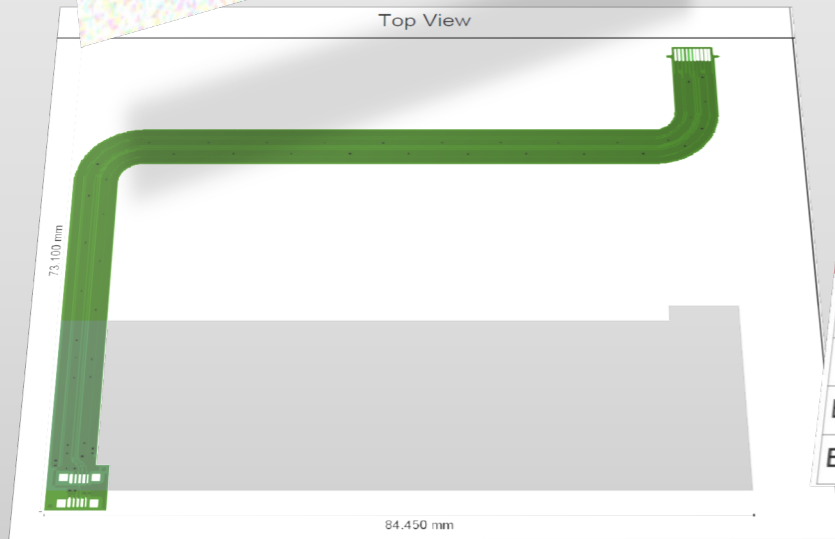


## ➤ 새로운 Integrator 설치에 대한 UTF-8 지원

- ❖ 전문가처럼 보이는 QED 재료를 고객에게 정확하게 사용하고 중앙 유럽, 발틱 또는 극동 아시아 고객 기반에서 최고의 인상을 심어줍니다.
- ❖ 대화를 평탄하게 하고 불완전하거나 이해할 수 없는 고객 이름, 연락처, 기사 참조, 이메일 주소 등으로 인한 오해나 질문을 피하십시오.



ďiačřitičš  
diacritics



### QED Report

### Integr8tor

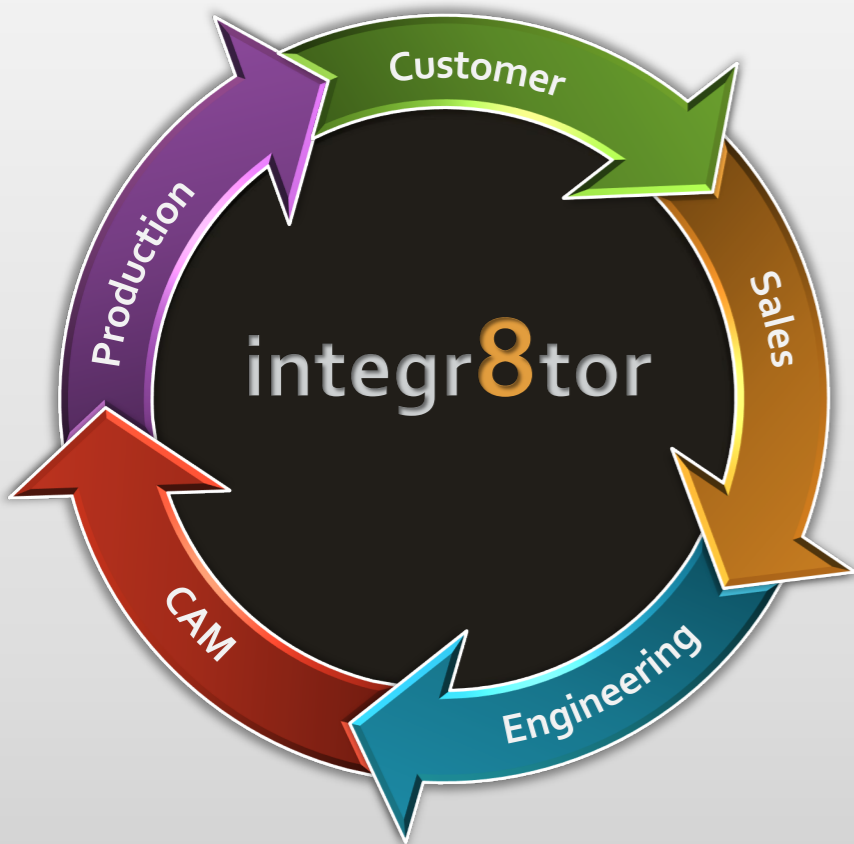
Name	080158_čěž.zip	Id.	821 - QED With Image Data
Report Generated on	Sep 28, 2018 11:16:30 AM	Customer	PCB Benešov as
Board Id	Plošné spoje dvoustranné	Contact Person	Ing. Tomáš Macha
Email	mach-to@awos.cz		



# Integr8tor

v2018.09

향상



# Integr8tor v2018.09

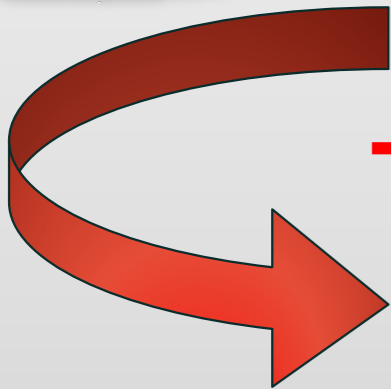
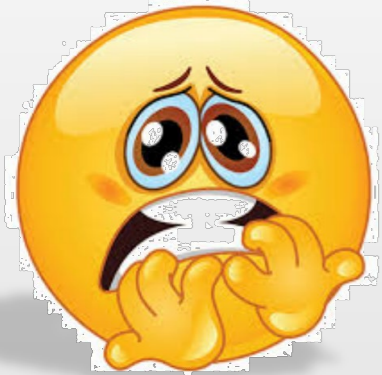
## 향상 - 동일넷 최소 간격

### ➤ QED PDF report에 표시 되는 동일넷 최소 간격 업그레이드

- ❖ 동일넷 최소 간격은 중요한 제조 변수 요인 중 하나입니다.
- ❖ 동일넷의 간격에 대한 잘못된 값으로 생산 설정이 잘못되거나 비용이 많이 들고 많은 불량 발생될 수 있습니다....
- ❖ V2018.09 은 다른 주요 제품 정보와 함께 QED PDF 에서 제품의 동일넷 간격에 대한 요약 정보를 함께 확인 할 수 있습니다.

---

- ❖ 동일 넷 최소 회로 간격은 보고서에 귀중한 위치 정보가 있는 상세한 이미지에 대한 링크를 함께 제공합니다
- ❖ 별도의 체크 포인트 기능을 활용해 추가적인 참조 구역을 확인 할 수 있습니다.



**ENHANCED**



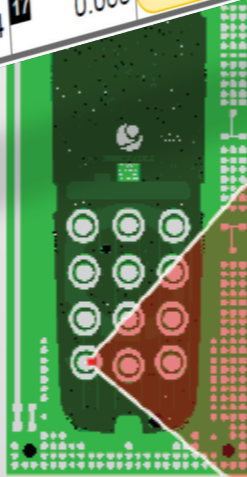
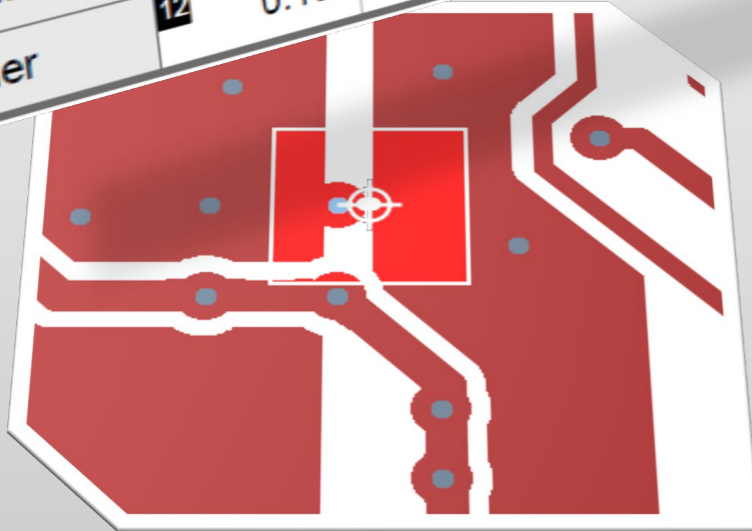
# Integr8tor v2018.09

향상 - 동일넷 최소 간격

**ENHANCED**

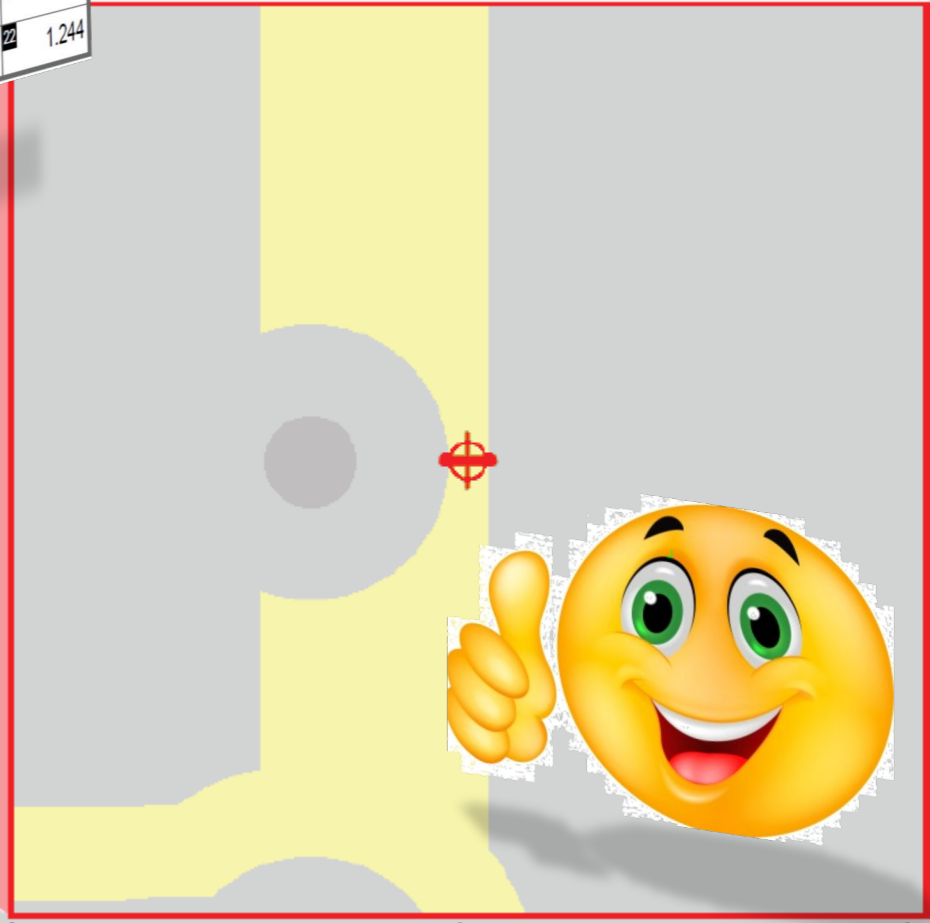
Summary - Copper Layers - Original

Layer Type	Min. Copper Width	Min. Critical Copper Width	Min. Trace Width	Min. Critical Trace Width	Min. Cr. Copper to Copper	Min. Cr. Trace to Trace	Min. Same Net Spacing	Min. Copper to Copper to NPTH Cir.	Copper to NPTH Cir.	Copper to Outline Cir.
Outer	1 0.100	2 0.100	3 0.100	4 0.100	5 0.049	6 0.049	7 0.067	8 0.199	10 0.124	11 1.238
Inner	12 0.100	13 0.100	14 0.100	15 0.100	16 0.054	17 0.065	18 0.046	19 0.199	21 0.124	22 1.244



ip3  
 ⊕ x: 17.928 mm  
 y: 23.44 mm

**Min. Same Net Spacing  
 Inner Layers  
 0.046 mm**



1 mm

# Integr8tor v2018.09

## 향상 - 확장 에지 커넥터 정보

**ENHANCED** ✨

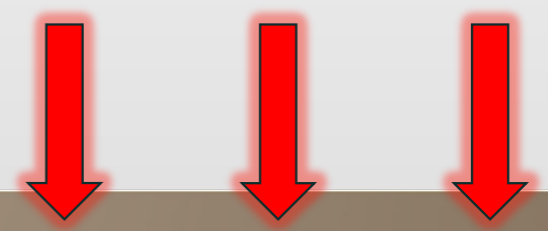
➤ 에지 커넥터는 특히 비용이 많이 드는 표면 처리가 필요한 경우 중요한 추가 비용 요인입니다.



- ❖ Integr8tor의 엣지 커넥터 분석은 다음과 같은 추가 정보를 제공하도록 확장되었습니다:
  - 에지 커넥터 단자 갯수
  - 커넥터의 가장자리 단자 크기
  - 가장자리 커넥터 단자 표면
- ❖ 상단, 하단과 작업 총계로 표시

Side	Total	Free				Edge Connector Fingers	Edge Connector Finger Size	Edge Connectors
		Solder Mask (dm <sup>2</sup> )	Mask (dm <sup>2</sup> )	Silver Mask (dm <sup>2</sup> )	Yes			
Top (incl. 1/2 plated hole)	3.5559	0.5187	0.8361			82	0.711 x 4.191	0.0269
Bottom (incl. 1/2 plated hole and routes)	3.0931	0.4096	0.7271			82	0.711 x 4.191	0.0282
<b>Total (incl. plated holes and routs)</b>	<b>5.9889</b>	<b>0.9283</b>	<b>1.5632</b>			<b>164</b>		<b>0.0551</b>

**Edge Connectors**



# Integr8tor v2018.09

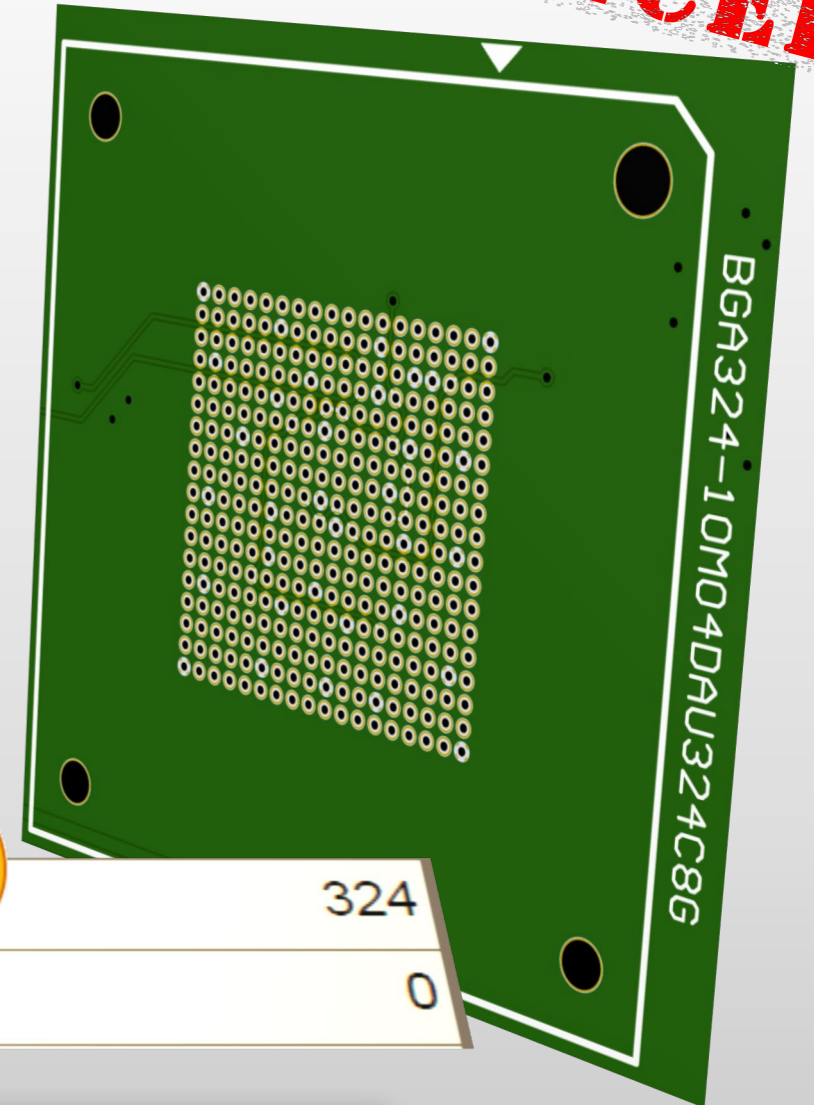
## 향상 - BGA 인식 향상

**ENHANCED**

➤ Integrator의 지능형 BGA 인식기는 이제 완전 드릴링 된 BGA를 지원합니다.

❖ 현재 수천 개의 BGA 구성 요소가 완전히 자동으로 검색 및 인식됨

영업부에 정확한 견적 정보를 제공하고 CAM 부서에 대한 에러 요소를 배제하십시오.



BGA Pads	BGA Min. Pitch	All Tracks in BGA Centered	BGA Drilled
	mm		❖
324	0.800	Yes	Yes
0			
324	0.800	Yes	Yes

BGA Pads Top	324
BGA Pads Bottom	0





# Integr8tor v2018.09

## 향상 - 라우터 / 각홀에 대한 확장 정보

**ENHANCED**

- ▶ 많은 수의 각홀과 라우팅은 실제 제조시 각 부서에서 많은 시간의 소요로 처리량이 저하 될수 있습니다. 생산성을 고려하지 않을 경우 결국 고객과의 관계 뿐만 아니라 납기를 넘길수 있습니다.

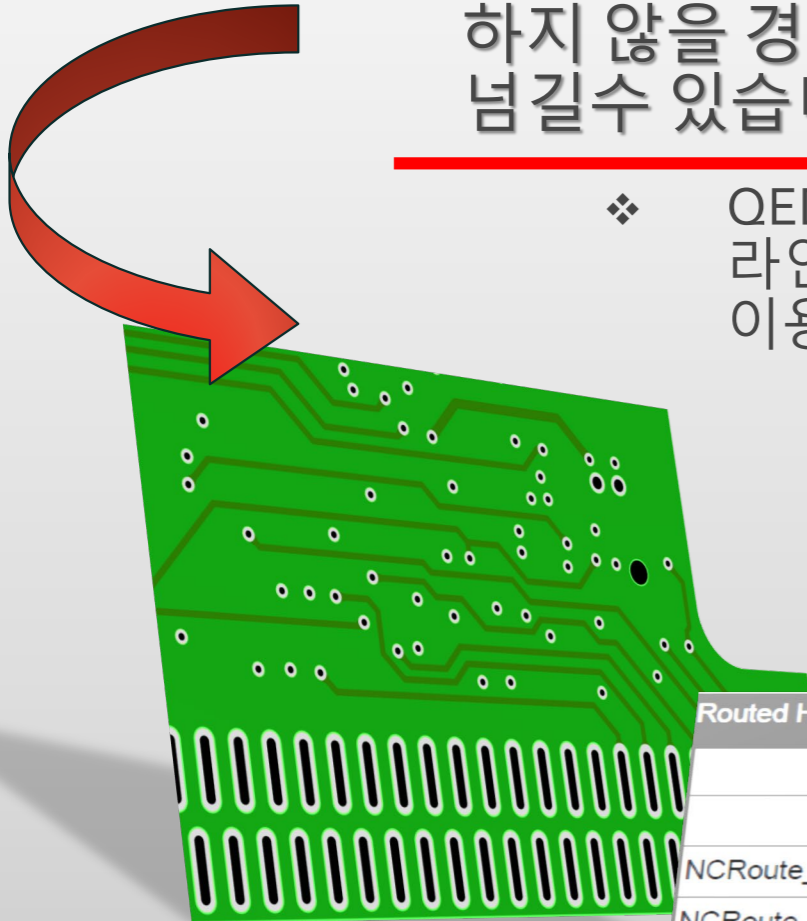
- ❖ QED PDF 라우터 홀 섹션에 있는 새로운 편리한 요약 라인으로, 전체 세부 정보가 포함된 보드 총계를 손쉽게 이용할 수 있습니다.

- 총 각홀의 갯수
- 누적 각홀의 길이
- 예상되는 각홀부위 드릴링 갯수



Routed Holes - Original

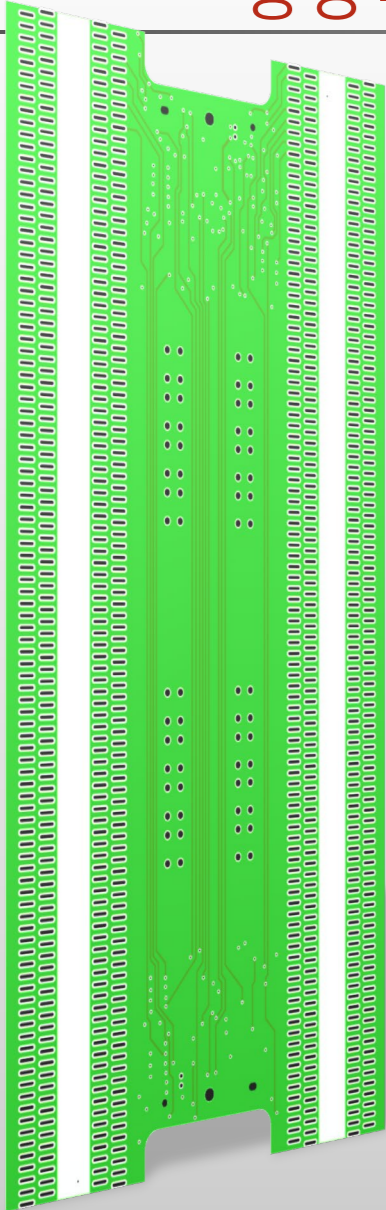
File	Hole Nr.	Instances	X Size	Y Size	Draw Length	Nibble Count
			mm	mm	mm	
NCRoute_rou	1	1	1.800	0.800	1.000	17
NCRoute_rou	2	1	3.821	4.801	7.101	33
All		2			8.101	50



# Integr8tor v2018.09

## 향상 - 라우터 / 각홀에 대한 확장 정보

**ENHANCED**



- ❖ 모든 라우팅/각홀 관련 보드 정보의 완전 자동 처리를 위해 QED XML에 라우팅 도구 및 라우팅 구멍이 추가되었습니다.

```
<RoutCharacteristics id="original">  
  <RoutGroup layerOrGroupRef="NCRoute_rou">  
    <RoutUse drillToolRef="6" type="non-plated" endDiameter="0.800" moves="1" length="1.000" nibbleCount="17" />  
    <RoutUse drillToolRef="7" type="non-plated" endDiameter="2.000" moves="4" length="7.101" nibbleCount="33" />  
  </RoutGroup>  
</RoutCharacteristics>
```

```
<RoutedHolesCharacteristics id="original">  
  <Instances>2</Instances>  
  <Length>8.101</Length>  
  <NibbleCount>50</NibbleCount>  
  <RoutedHolesGroup layerOrGroupRef="NCRoute_rou">  
    <RoutedHole id="1" instances="1" xSize="1.800" ySize="0.800" length="1.000" nibbleCount="17" />  
    <RoutedHole id="2" instances="1" xSize="3.821" ySize="4.801" length="7.101" nibbleCount="33" />  
  </RoutedHolesGroup>  
</RoutedHolesCharacteristics>
```



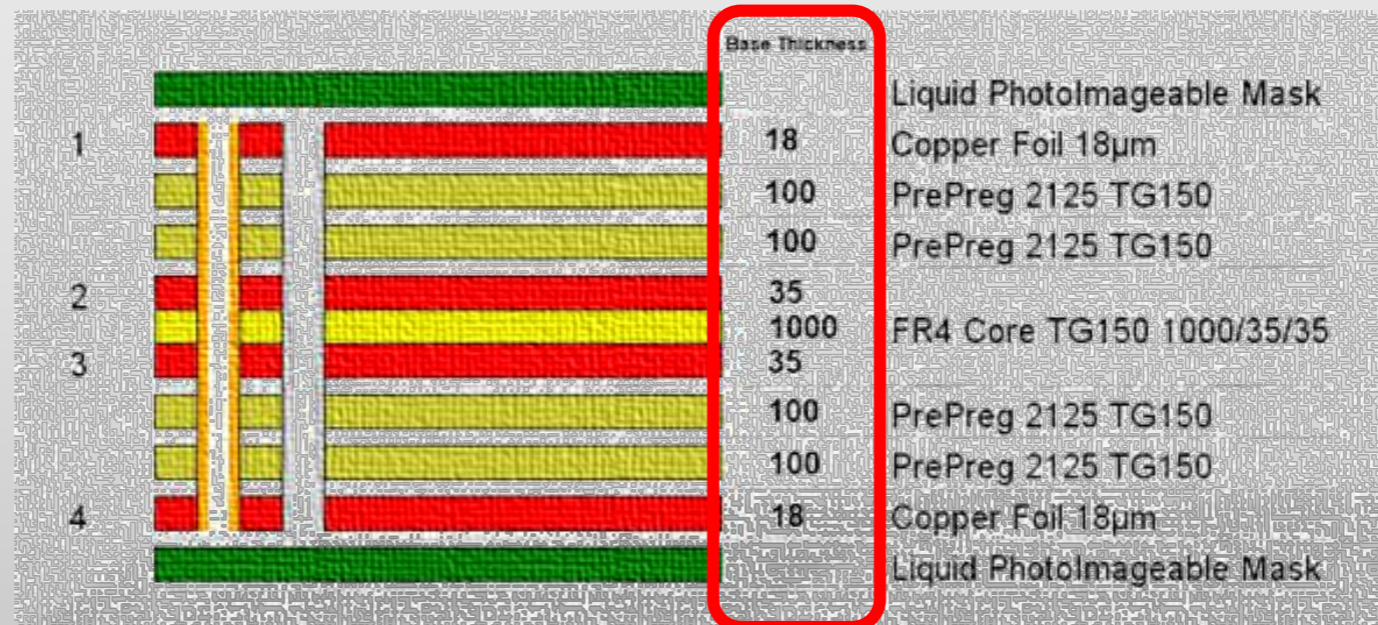
# Integr8tor v2018.09

향상 – Material base thickness in stack-up image

ENHANCED

## ▶ 스택 업 구조의 재료 기본 두께

- ❖ Extra Material Base 두께 정보를 통해 **Ustack 기반** 재료 정보와 고객 요구 사항을 쉽게 확인할 수 있습니다
- ❖ 부주의로 인한 값 비싼 재료 혼합의 위험을 줄입니다.



# Integr8tor v2018.09

향상 - 최소 동박 두께를 손쉽게 DFM Classes 로 검토

**ENHANCED**

- DFM Classes / 검토 (\*)는 들어오는 디자인을 제조 가능성 클래스에 자동으로 맞추는 매우 편리한 도구입니다
- 최소 동박 두께는 현재의 리비전에서 다음 리비전으로 넘어가는 공통된 기준입니다.

❖ DFM은 모든 동박 폭 분석 결과에 쉽게 접근 하고이를 고려하여 적절한 제조 등급 설정에 도움을 줍니다.

DFM Classes - Original			Standard						Advanced			
			3	4	5	6	7	8	9	10	11	12
Track & Gap	min Clearance (Track-Track / Track-Pad / Pad-Pad)	0.147	300.000	200.000	150.000	120.000	100.000	100.000	85.000	75.000	60.000	<
	min Track Width / min Thermal Gap	0.025	300.000	200.000	150.000	120.000	100.000	100.000	85.000	75.000	60.000	<
Ring for IPC Class 2	min Outer Layer Annular Ring	0.190	200.000	175.000	150.000	120.000	100.000	100.000	75.000	75.000	60.000	<
	min Inner Layer Annular Ring		225.000	200.000	175.000	145.000	125.000	125.000	100.000	100.000	85.000	<
Aspect Ratio	max aspect ratio for Plated hole	5.300	3.200	3.600	4.000	4.600	5.300	6.400	6.400	-	-	-
Drill - Cu	distance Plated hole to Plated hole	0.421	750.000	600.000	500.000	410.000	350.000	350.000	285.000	275.000	230.000	<
	distance Non-plated hole to Cu on inner layers		IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	<
	distance Non-plated hole to Cu on outer layers		350.000	300.000	250.000	200.000	200.000	200.000	150.000	100.000	75.000	<
Cu Thickness	maximum total Cu thickness that can be etched (no minimum)		105.000	70.000	60.000	50.000	35.000	35.000	20.000	15.000	15.000	<
Solder Mask	solder mask annular ring & track overhang	0.010	150.000	100.000	75.000	60.000	50.000	50.000	42.500	37.500	30.000	<
	solder mask solderweb	0.020	200.000	150.000	125.000	100.000	100.000	100.000	87.000	87.000	75.000	<



\* licensed Integr8tor option

# Integr8tor v2018.09

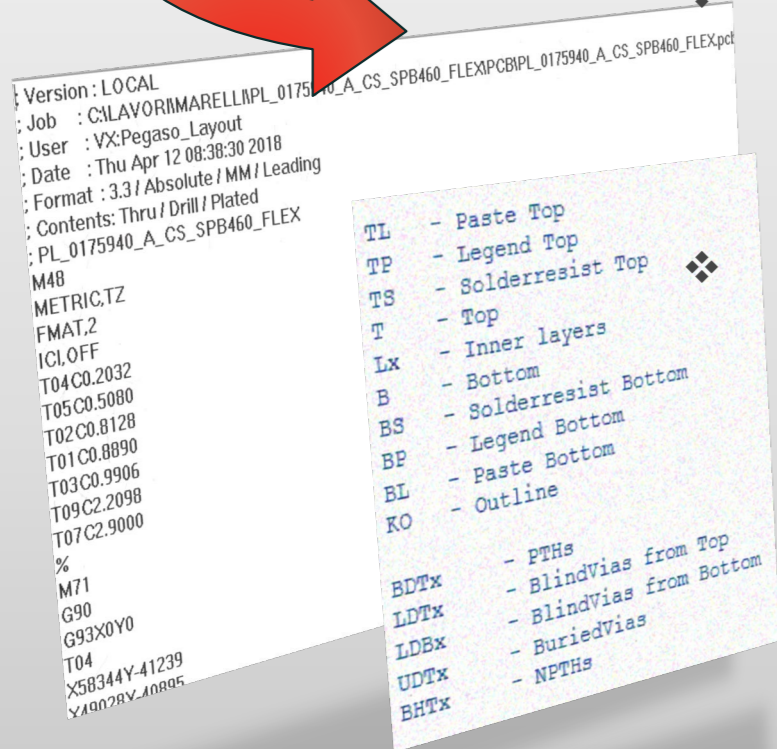
## 향상 - 개선된 드릴 형식 및 스택 업 인식

**ENHANCED**

- ▶ 올바른 자동 스택 업은 정확한 분석과 신속한 결과의 초석이 됩니다.
- ▶ 드릴 형식 인식 및 올바른 구조 정의가 이 자동화된 프로세스에서 똑같이 중요한 역할을 합니다.

V2018.09는 완전 자동 스택 할당 및 드릴 파일 형식 인식이 가능한 최고 비율을 달성할 수 있도록 지금까지의 가장 큰 Integrator 기술 자료와 함께 제공됩니다.

소프트웨어 설치 및 서버 시작 후 자동으로 설치 및 로드 됩니다...



INITIAL	RENAMED	FUNCTION
40-A026016_SRT.gbx	zzyxxx41	mgl
40-A026016_L01.gbx	zzyxxx01	fluid
40-A026016_L02.gbx	zzyxxx02	fluid
40-A026016_L03.gbx	zzyxxx03	fluid
40-A026016_L04.gbx	zzyxxx04	fluid
40-A026016_L05.gbx	zzyxxx05	mixed
40-A026016_L06.gbx	zzyxxx06	mixed
40-A026016_L07.gbx	zzyxxx07	fluid
40-A026016_L08.gbx	zzyxxx07	fluid
40-A026016_SRB.gbx	zzyxxx32	fluid
40-A026016_DD.N.exc	zzyxxx51	fluid
40-A026016_DDP.exc	zzyxxx60n	mgl
40-A026016_BOL.gbx	zzyxxx60	unplated
40-A026016_DL0.gbx	zzyxxx38	drill
40-A026016_DTN.txt	zzyxxx35	cad_outline
40-A026016_DTP.txt		drillmap
Beiblatt_LP.pdf		document
		document
		document



# Integr8tor v2018.09

## 향상 - Gerber X2 데이터 흐름 확장

**ENHANCED**

- Gerber X2 포맷의 풍부한 정보는 견적, 엔지니어링 및 사전 CAM 프로세스를 전체적으로 자동화하며, 더 많은 작업을 처음부터 끝까지 중단 없이 실행합니다.
- Integrator는 이제 X2 작업에 대해 다음과 같은 새로운 이점을 제공합니다.

### ❖ 레이어 등록

Gerber X2 파일은 파일 속성을 사용하여 서로 등록되었음을 나타낼 수 있습니다.

`%TF.SameCoordinates*`

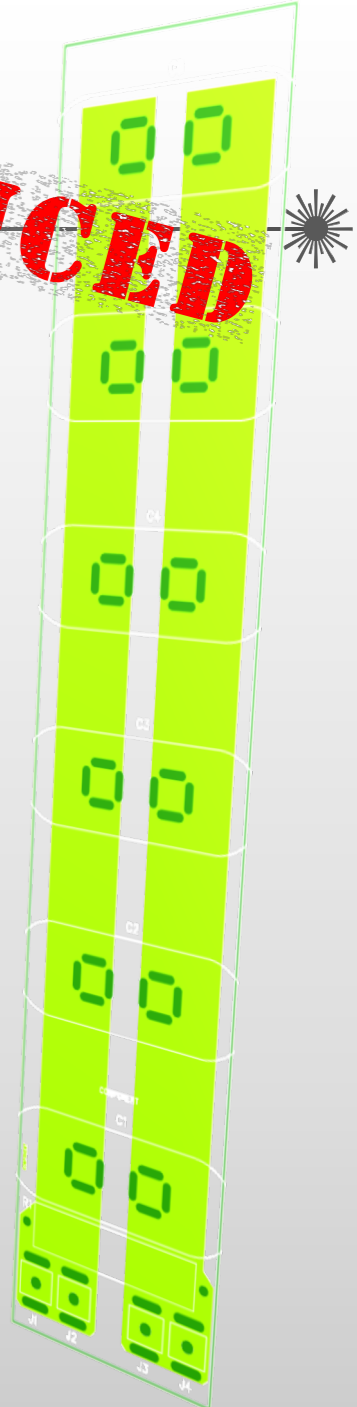
이 정보를 사용할 수 있는 경우 V2018.09는 입력 중에 계층 등록을 건너뛰므로 보다 빠르고 정확한 결과를 얻을 수 있습니다.

### ❖ 아웃라인 검출

Gerber X2 파일은 파일 특성을 사용하여 스택 내에서 자신의 기능을 표현할 수 있습니다.

`%TF.FileFunction,`

V2018.09는 각각의 정보를 FileFunction " Profile " 에 레이어 정보를 포함하여 사용 됩니다.



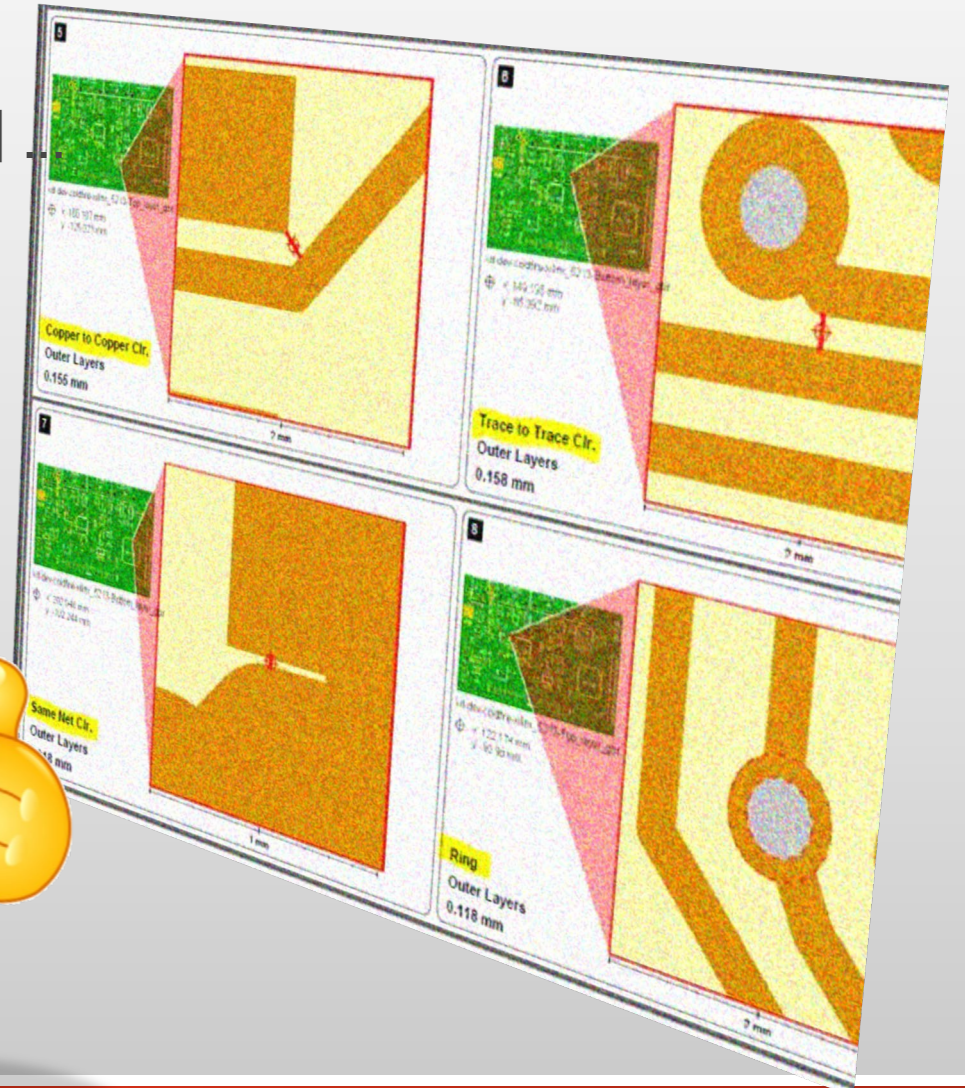
# Integr8tor v2018.09

향상 - 다양한 산업화

ENHANCED

## ➤ 더욱 직관적이고 논리적인 QED PDF 보고서 구조

- ❖ 정확한 정보,  
당신이 기대하는 방식, 당신이 기대하는 곳에서
- ❖ 작업 할 부분을 자세히 살펴보십시오 ...
  - 요약 - 일반
  - 요약 - 패턴
  - 최소 설계 영역 표현 - 위치
  - 라우터 홀
  - 동박 영역
  - 그리고...



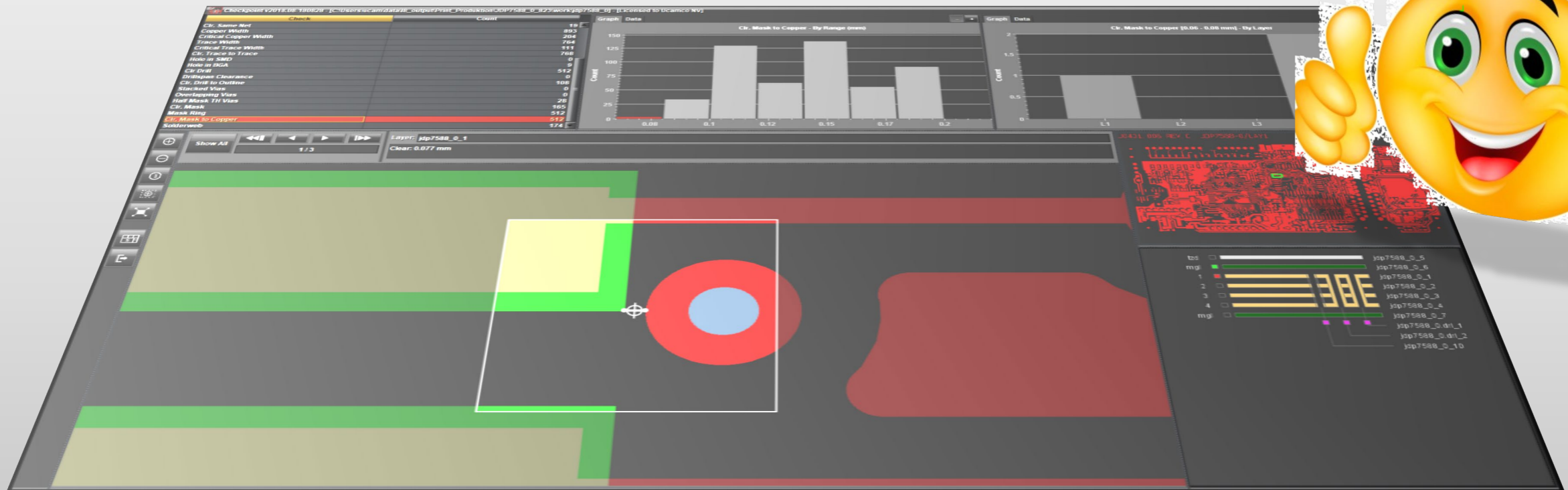
# Integr8tor v2018.09

향상 - 다양한 산업화

ENHANCED

## ▶ 체크 포인트의 원활 한 설치

- ❖ 로컬 체크포인트 설치 시 로컬 라이선스 파일 정보 및 환경 변수 설정 필요
- ❖ V2018.09는 번거로운 설치와 운영 중단을 최소화하도록 이 문제를 해결합니다.



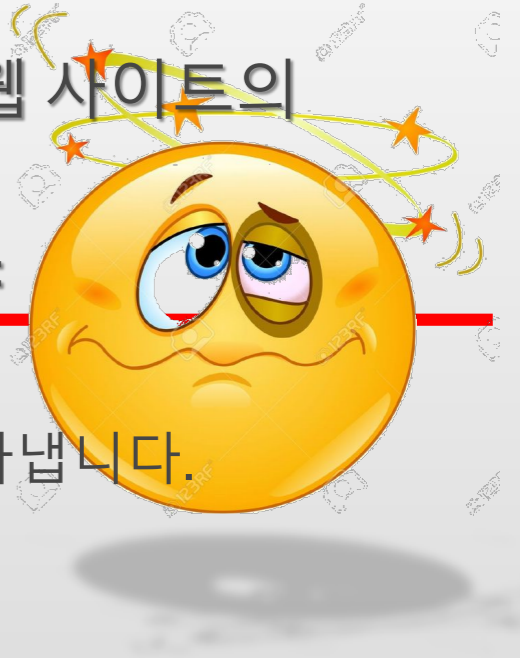


# Integr8tor v2018.09

## 향상 - 작업 흐름 제어 확장

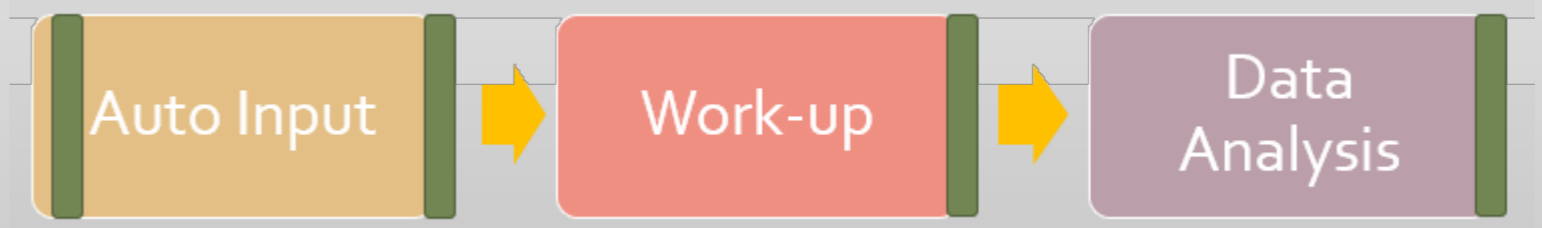
**ENHANCED**

- ▶ 작업 흐름 제어는 Integrator의 강력한 프로그래밍 및 스크립팅 도구로서, 대체 경로를 설정하고 작업을 자동으로 제어합니다.
- ▶ 작업 흐름 제어는 완전한 자동화를 달성하거나 대화형 견적 웹 사이트의 백본 역할을 하는 데 사용됩니다.
- ▶ For better flow control the following additions have been made:
  - ❖ Netcompare 기능이 시작 단계에 추가되었습니다.
  - ❖ 새로운 'realTray' 변수는 공통/가상 TWU 뒤의 실제 트레이를 나타냅니다.



```
// Explicit continuation (Edit in Cockpit or Design Analysis) unless moved to DA
if (! "TDA".equals(realTray)) {
  if ((numGerber > 0) && (numDrills >= 1) && (numCoppers > 2) && (numIPC == 0 || ! bNetCompareIsOk)) {
    System.out.println("Redirecting to Input Review");
    vOut.add("nextTray=TIR");
  }
  else
  {
    System.out.println("Proceeding with Analysis");
    vOut.add("nextTray=TDA");
  }
}
```

\* licensed Integr8tor option





# Integr8tor

V2018.09

코드 수정



# Integr8tor v2018.09

## 코드 수정



당사는 귀사를 위해 아래의 항목을 수리하는 데 많은 주의를 기울여 왔으며 이것이 훨씬 더 나은 사용자 환경에 도움이 되기를 바랍니다.

- ❖ Copper width could be incorrect in case of multiple solder masks per side
- ❖ Ambiguous contours sometimes were generated in the clean job output
- ❖ Open job from Integr8tor could fail if afjobqueue\_custom\_table is not present
- ❖ PDF files containing attachments were listed twice in the file list section in cockpit
- ❖ The list of possible import formats offered during job submit contained formats for which the license had already expired, causing “no license” workflow interruptions
- ❖ The presence of an extremely high number of tiny isolated draws with only a few microns in diameter could cause jobs to fail during PDF image generation



# Integr8tor v2018.09

## 코드 수정

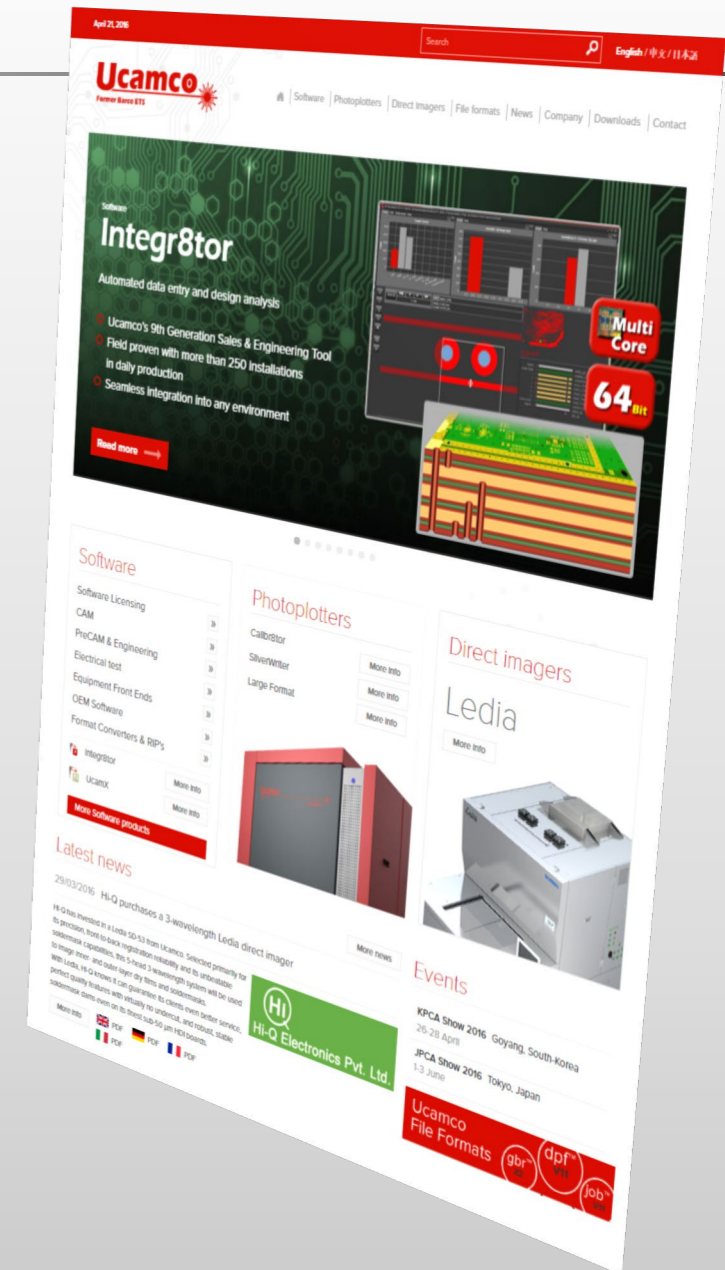


- ❖ A layer subclass set manually in Job Editor after a Ustack session did not always find its way into the clean job when a layer rename script was used
- ❖ Under circumstances, the shipping panel image generated on the PDF report did not match the operator's choice made in Panel Optimizer result.
- ❖ The presence of blind/buried drill spans had the potential to upset the correct order of the Summary Sequence Section on the QED PDF report
- ❖ Some PDF report fields were not correctly updated when moving a job between 2 passive trays

# Integr8tor v2018.09

## 일반적인 정보

- 설치 프로그램은 <ftp://ftp.ucamco.com/Integr8tor> 에서 다운로드할 수 있습니다.
- 이 업데이트는 가능한 한 빨리 설치하는 것이 좋습니다.
- 궁금한 점이 있으면 해당 지역 비즈니스 파트너나 Ucamco 헬프데스크에 문의하십시오.
- Ucamco 제품을 선택해 주셔서 감사합니다.



© Copyright Ucamco NV, Gent, Belgium

All rights reserved. This material, information and instructions for use contained herein are the property of Ucamco. The material, information and instructions are provided on an AS IS basis without warranty of any kind. There are no warranties granted or extended by this document. Furthermore Ucamco does not warrant, guarantee or make any representations regarding the use, or the results of the use of the software or the information contained herein. Ucamco shall not be liable for any direct, indirect, consequential or incidental damages arising out of the use or inability to use the software or the information contained herein.

The information contained herein is subject to change without prior notice. Revisions may be issued from time to time to advise of such changes and/or additions.

No part of this document may be reproduced, stored in a data base or retrieval system, or published, in any form or in any way, electronically, mechanically, by print, photo print, microfilm or any other means without prior written permission from Ucamco.

This document supersedes all previous versions.

All product names cited are trademarks or registered trademarks of their respective owners.